

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-135130

(43)Date of publication of application : 10.06.1991

(51)Int.Cl. H04L 12/40

(21)Application number : 01-272688

(71)Applicant : BROTHER IND LTD

(22)Date of filing : 19.10.1989

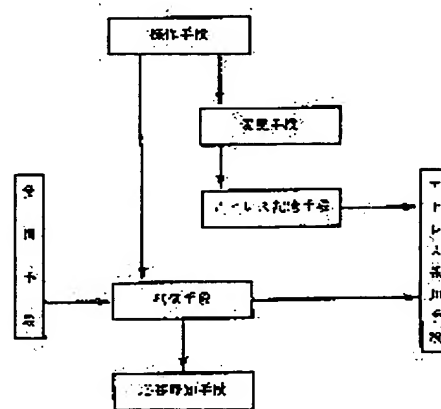
(72)Inventor : MURATA KATSUHIKO

(54) ELECTRONIC DEVICE

(57)Abstract:

PURPOSE: To prevent overlapping between self-address and other device address by storing self-address in a communication network, confirming the response state of other device by the operator, revising its own address and notifying its own address subjected to revision again.

CONSTITUTION: When an address noticing means informs its own address to other device, other device with the same address as its own address assigned already thereto outputs a response signal. Upon the receipt of the response signal by the reception means, a response informing means informs it to the operator. When the operator operates an operation means to instruct the revision of its own address, a changing means revises its own address and an address storage means stores the address after the revision. Then the address informing means informs the address after the revision to other device again. Thus, the operator recognizes its own address.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-135130

⑮ Int. Cl.⁵
H 04 L 12/40

識別記号 庁内整理番号

⑬ 公開 平成3年(1991)6月10日

7928-5K H 04 L 11/00 3 2 0

審査請求 未請求 請求項の数 1 (全15頁)

⑭ 発明の名称 電子装置

⑰ 特 願 平1-272688

⑱ 出 願 平1(1989)10月19日

⑲ 発 明 者 村 田 雄 彦 愛知県名古屋市瑞穂区堀田通9丁目35番地 ブラザー工業株式会社内

⑳ 出 願 人 ブラザー工業株式会社 愛知県名古屋市瑞穂区苗代町15番1号

明 細 書

1. 発明の名称

電子装置

2. 特許請求の範囲

1. 接続された通信網における自己のアドレスを記憶するアドレス記憶手段と、

前記通信網に接続されている他の装置へ自己のアドレスを報知するアドレス報知手段と、

前記報知に回答して他の装置から出力された応答信号を受信する受信手段と、

前記他の装置の応答状況をオペレータに報知する応答報知手段と、

前記オペレータが前記自己のアドレスの変更を指示するための操作手段と、

前記操作手段からの指示に基づいて前記自己のアドレスを変更する変更手段と、

前記変更の自己のアドレスについて、前記アドレス報知手段による報知が再度行われるように制御する制御手段とを備えることを特徴とする電子装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、接続された複数の電子装置がそれぞれ自己に割り当てられたアドレスに基づいて通信を行う通信網において、他の装置の通信に障害を起こすことなく、効率良い通信処理を実現できる電子装置に関する。

[従来技術]

従来、同一の通信網に接続される各電子装置のアドレス設定は、ある電子装置に割り当てられたアドレスを重複して他の電子装置にも割り当てるといったことのないように、すべての電子装置について割り当てられているアドレスを通信網の構成者が完全に把握しておき、新たな電子装置を通信網に付加する毎に、まだ割り当てられていないアドレスを確認してその電子装置に手動で設定していた。

また、このような通信網へ新たな電子装置を付加した際、プログラム制御よりオペレータが一切介入することなく、他の電子装置に既に割り当て

られているアドレスの確認と他の電子装置にまだ割り当てられていない適当なアドレスの算出とが自動的に行われて、新たに付加した電子装置のアドレスを設定するといったことも行われていた。

〔発明が解決しようとする課題〕

しかしながら、現在のように情報通信が非常に活発になり、同一の通信網に接続される電子装置の数が増大してくると、その通信網に接続されているすべての電子装置に割り当てられているアドレスを全部把握しておき、その通信網に新たに接続する電子装置に割り当てようとしているアドレスが、既に他の電子装置に割り当てられているアドレスの中に有るが否かを判断するといったことは、データ量が多く容易には行えなくなって来ている。

また、プログラム制御により新たに接続して電子装置のアドレスを自動設定することは、オペレータがそのアドレスの選択に一切介入することができない。従って、この電子機器に割り当てられたアドレスの値を使用して特定の処理を行うよう

な場合には、そのアドレスの値を予測することが困難でありこのような特定の処理の妨げとなり不都合であった。

このように、通信網へ新たに接続する電子装置における従来のアドレスの設定は、満足いくものではなかった。

本発明は、上述した問題点を解決するためになされたものであり、通信網における自己のアドレスをオペレータの認識を加えた上で、しかも能率良く同一通信網の他の電子装置のアドレスと重複することなく設定できる電子装置を提供することを目的としている。

〔課題を解決するための手段〕

この目的を達成するために本発明の電子装置は、自己のアドレスを記憶するアドレス記憶手段と、他の装置へ自己のアドレスを報知するアドレス報知手段と、応答信号を受信する受信手段と、応答状況をオペレータに報知する応答報知手段と、アドレスの変更を指示するための操作手段と、アドレスを変更する変更手段と、アドレス報知手段に

よる報知が再度行われるように制御する制御手段とを備えている。

〔作用〕

アドレス報知手段が自己のアドレスを他の装置へ報知すると、そのアドレスと同一のアドレスが既に割り当てられている他の装置は応答信号を出力する。受信手段がこの応答信号を受信すると、応答報知手段はその旨をオペレータへ報知する。ここで、オペレータが操作手段を操作して自己のアドレスの変更を指示すると、変更手段は自己のアドレスを変更しアドレス記憶手段はこの変更後のアドレスを記憶する。そして、制御手段の制御によりアドレス報知手段は、この変更後のアドレスを他の装置へ再度報知する。

〔実施例〕

以下、本発明を具体化した一実施例を図面を参照して説明する。

ネットワーク上でフレーム化したデータを交換するための規約は種々あるが、その中の一つHDL C(High level Data Link

Control)のフレームフォーマットを用いた実施例を示す。

HDL Cのフレームフォーマットは、例えば第5図に示すようにフラグB(FLAG-B)21と呼ばれる特定の同期パターンにはさまれたデータ列で始まり、フラグB21の後にはアドレス部(ID部とも呼ぶ)22とコントロール部23と情報部24と、FCS(Frame Check Sequence)25が続き、フラグE(FLAG-E)26で終わる。

アドレス部22は、送信されたフレームの受け取り先を示すもので、ネットワーク上に接続されている受け取り先のデータ処理装置(Agent 或いはNodeとも称すが、以下Nodeと称す)に割り当てられているアドレス(ID)を表わす。すなわち、このアドレスと一致するアドレスが割り当てられているNodeだけがこのフレームを受け取る。

コントロール部23は、種々の約束が可能であるが、本実施例ではフレームの送信元のNode

に割り当てられるアドレスを表わすものとする。情報部24は種々の制御要素や送信の実質的内容としての画像データ、文字データなどのエリアである。

FCSは、フラグB21より後のデータ列に伝送ミスが無いかどうかの判定のためのビット列、すなわちフレーム検査シーケレンスである。

フラグE26はフレームの終結を示す同期パターンである。

以上のフレームフォーマットを用いると、このフレームの受信先と送信元が明確になっているため、互いにデータの交換を行うことができる。複数のNodeが存在するネットワーク上で1対1のデータ交換が可能となるためには、各Node間で重複がないように各Nodeへアドレスを割付けなければならない。

次に第1図及び第7図を参照して本実施例の通信装置の構成を説明する。

SCC (Serial Communication Controller) 1はZilog

接続されている。更にこのCPU2には、SCC1、不揮発性RAM (NVRAM) 3、液晶表示装置 (liquid crystal display) 4、スイッチパネル5が接続されており、CPU2はこれらの各素子をコントロールする。

不揮発性RAM3は、そのNodeに割り当てられているアドレスを電源OFF後も保持するためのメモリである。液晶表示装置4は、アドレスや各種メッセージを表示するものである。スイッチパネル5には、そのNodeに割り当てられるアドレスの設定時に操作されるCONTINUEキー5a、選択キー5b、下矢印キー5c、上矢印キー5d、セットキー5e等が設けられている。

次に、第1図乃至第4図を参照して本実施例の通信装置の動作を説明する。

CPU2は、不揮発性RAM3あるいはスイッチパネル5よりアドレスの値を得て、それをSCC1に設定する。これによって、それ以後SCC1は、アドレス部22に設定された値がSCC1に設定されたアドレスと、同じ値、またはグロー

28530SCCや、NEC μ PD72001等の製品化されている通信制御チップでネットワークのケーブル (bus) 9に対するデータの送受信や、送信されてきたフレームのフラグB21、フラグE26の検出などを行ったりする。SCC1の内部は、SCC1全体のコントロールを行なうコントロール部6と送信ポート7、受信ポート8等より成る。コントロール部6には、フレームのクロック信号の検出に基づいて制御されるクロックミスビット (clock missing bit) 6a、ハントビット (hunt bit) 6b等が設けられている。

CPU2には、動作のプログラムが書き込まれたROM10及び各処理において使用されるタイマ12が接続されている。また、Nodeに割り当てるアドレスを設定する際に使用される反復カウンタ11aや選択フラグ11b、送信要求が発生した時の処理に使用されるWAITメモリ11c、タイマレジスタ11d、ループカウンタ11e等として動作するワーキング用のRAM11が

バルアドレス、すなわち8bitすべての値が1 (FFH: 以下この“H”が付加されている場合はHexadecimal Codeであることを表わす) であるフレームのみの受信が可能となる。SCC1は送信されて来たフレームを受信すると、CPU2へ割り込みをかける。これによってCPU2は受信されたフレームに基づいた処理を開始する。

ここで、次の様なフレームを約束する。

①情報部が1byteで81H (Hexadecimal Code) が設定されているフレームは、アドレスの問い合わせフレームであり、ENQフレームと呼ぶ。

②情報部が1byteで82H (Hexadecimal Code) が設定されているフレームは、①の問い合わせに対する応答フレームであり、送信元アドレスと同じアドレスが割り当てられているNodeがその旨を示すためにENQフレームの送信元に返送するフレームであってACKフレームと呼ぶ。

つまり、あるNodeがENQフレームをネットワーク上へ送信した後ACKフレームを受信すれば、ENQフレーム中に示した自己のアドレスは既にネットワーク上の他のNodeに割り当てられていることがわかる。SCC1で受信されたフレームのコントロール部23や情報部24に設定されている内容はCPU2によって認識される。

第4図に示すようにネットワーク上に新たに接続した新規参入Node35からENQフレームを送信する際、フレームのアドレス部22に設定する受信先のアドレスは新規参入Node35に割り当てようとするアドレスであってもよい、グローバルアドレスであってもよい。どちらの場合もENQフレームは他のすべてのNode31, 32, 33, 34へ達する。しかし、前者の場合、受信動作が行なわれるのは、フレームのアドレス部22に設定されたアドレスと一致するアドレスが割り当てられているNode33においてのみである一方、後者のようにアドレス部22へグローバルアドレスを設定した場合は、ネットワーク

上のすべてのNode31, 32, 33, 34で受信動作が行われる。ネットワーク全体の効率から考えると前者のように、新規参入Node35に割り当てようとするアドレスをアドレス部22へ設定する方が割り当てられているアドレスの一致しないNode31, 32, 33, 34, では余計な処理をしなくてすみ、実用性が高い。

次に第5図のフローチャートに従って新規参入Node35にアドレスが割り当てられる処理を説明する。

ステップ110で電源スイッチがONされると、このNodeは自動的にオン・ライン状態となる。次にステップ115へ進み、選択フラグ11bがクリアされる。次にステップ120へ進み、新規参入Node35のCPU2により不揮発性RAM3より、前回の電源ON時に書き込まれていたアドレスが読み出される。尚、新規参入Node35が、今回始めて使用されるものである場合は、不揮発性RAM3に書き込まれている初期設定アドレスが読み出される。次にステップ130へ進

み、読み出されたアドレスがSCC1に設定される。次にステップ140へ進み、CPU2は反復カウンタ11aへ100を設定する。次にステップ150へ進み、CPU2は、SCC1に対し、ENQフレームを送信させるためにフレームの各エレメントへ送信先アドレス、自己へ割り当てようとしているアドレス、ENQフレームであることを示すB1Hの値を順次セットしてゆく。ここで、自己に割り当てようとするアドレス、すなわち、自己の仮のアドレスをAEH (Hexadecimal Code) とすると、フレームのアドレス部及びコントロール部に設定される値はAEHとなり、ENQフレームは第6図(a)に示すようになる。尚、送信先をすべてのNodeとする場合は、アドレス部にグローバルアドレスFFHが設定されることになり、ENQフレームは第6図(b)のようになる。SCC1はSCC内部で発生するクロックに従ってENQフレームを構成するフラグBからフラグEまでの各エレメントを順次ケーブル9上に送り出す。送信が終ると、

ステップ160へ進み、ステップ150で送信したENQフレームに対する応答としてACKフレームが所定時間内に返信されてきたか否かが判断される。本実施例においてこの所定時間は、400マイクロ秒(μ sec)に、付加待機時間が加算された値となっている。この付加待機時間には、送信元の新規参入Node35の仮の自己割り当てアドレスの値に応じて、100マイクロ秒から800マイクロ秒までの100マイクロ秒単位で異なる8種類の時間から予め割り当てられた1つの時間が対応している。このステップ160でACKフレームが返信されて来ないと判断されると、ステップ170へ進み、反復カウンタ11aから1が減算される。次にステップ180へ進み、反復カウンタ11aの値が零であるか否かが判断される。零でない場合は再びステップ150へ行き、ENQフレームの送信を再び行う。次に再びステップ160へ行き、ACKフレームが所定時間内に受信されたか否かが判断される。このような、ENQフレームの送信及びそれに対する応答

であるACKフレームの受信の確認は、このACKフレームが受信されるまで、最大100回まで同様に繰り返される。そして、ENQフレームの100回の送信に対する応答としてACKフレームが所定時間内に受信されることが1度も起こらなかった場合、そのネットワーク上には、その新規参入Node35が自己に割り当てようとしている仮のアドレスを既に割り当てられている他のNodeは存在しないと判断される。次にステップ190へ進み、この新規参入Node35のCPU2は、不揮発性RAM3に書き込まれているこの仮のアドレスを自己に割り当てられる正式なアドレスとして、他の初期設定を行う。

一方、ステップ160において、ステップ150でのENQフレームの送信から所定時間内にACKフレームが受信された場合は、ステップ200へ進む。第4図に示す例では、新規参入Node35に割り当てようとしたアドレスが既にNode33に割り当てられており、Node33から新規参入Node35へACKフレームが送信

されてきている。尚、ステップ150で第6図(a)或いは(b)のようなENQフレームを送信した場合、ステップ160で受信されるACKフレームは、第6図(c)に示すようなフレームとなる。ステップ200では、新規参入Node35が自己に割り当てようとした仮のアドレスが既に他のNodeに割り当てられていることを示すメッセージ“ID CONFLICT”と、オペレータに次の操作としてCONTINUEキー5aの押下を促すメッセージ“PRESS CONTINUE”とが表示装置4に交互に表示される。次にステップ210へ進み、スイッチパネル5からオペレータによるキー入力があるか否かが判断される。ここでキー入力がない場合はそのまま待機状態となる。従って、オペレータによってキー入力が行われな限り、新規参入Node35の処理は全く進まない。

一方、キー入力があった場合は、ステップ220へ進み、スイッチパネルでONされたキーがCONTINUEキー5aであるか否かが判断され

る。CONTINUEキー5aがONされたのであれば、ステップ230へ進みCPU2は不揮発性RAM3に書き込まれているアドレスの値を1だけ減算した値に書き換える。次に再びステップ120へ進み、ステップ180までの処理を行うことにより、ステップ230で不揮発性RAM3へ書き込まれた新たな仮の自己割り当てアドレスが他のNodeへ既に割り当てられているか否かの確認が前述と同様にして行われる。すなわち、オペレータによってCONTINUEキー5aがONされたことを契機として、現在不揮発性RAM3に書き込まれている仮の自己割り当てアドレスが自動的に1だけ減算され、この結果得られた新たな仮のアドレスについて、他のNodeに既に割り当てられているか否かの確認が実行される。

一方、ステップ220の判断でONされたキーがCONTINUEキー5aでない場合はステップ240へ進み、選択キー5bがONされたか否かが判断される。選択キー5bがONされた場合はステップ250へ進み、選択フラグ11bがセ

ットされる。次にステップ260へ進み、不揮発性RAM3に現在書き込まれている新規参入Node35の仮の自己割り当てアドレスが液晶表示装置4に表示される。不揮発性RAM3に書き込まれているアドレスがAEHである場合は、ステップ260での液晶表示装置4における表示は第6図に示すようになる。

次に再びステップ210へ行き、次のキー入力があるまで待機状態となる。

一方、ステップ240で入力されたキーが選択キーではないと判断された場合はステップ270へ進み、選択フラグ11bがセットされているか否かが判断される。選択フラグがセットされている場合はステップ280へ進み、入力されたキーが下矢印キー5cであるか否かが判断される。下矢印キー5cである場合はステップ290へ進み、不揮発性RAM3に書き込まれている自己割り当てアドレスが1減算されたアドレスに書き換えられる。次にステップ260へ行き、現在、不揮発性RAM3に書き込まれているアドレス、すなわ

ち、ステップ290で1減算された後のアドレスの値が液晶表示装置4に表示される。次に再びステップ210へ行き、次のキー入力があるまで待機状態となる。

一方、ステップ280で入力されたキーが下矢印キー5cでなかった場合はステップ300へ進み、入力されたキーが上矢印キー5dであるか否かが判断される。上矢印キー5dである場合はステップ310へ進み、不揮発性RAM3に書き込まれている自己割り当てアドレスが1加算されたアドレスに書き換えられる。次にステップ260へ行き、現在不揮発性RAM3に書き込まれているアドレス、すなわち、ステップ310で1加算された後のアドレスの値が液晶表示装置4に表示される。次に再びステップ210へ行き、次のキー入力があるまで待機状態となる。

また、ステップ300で入力されたキーが上矢印キーではないと判断された場合はステップ320へ進み、入力されたキーがセットキー5eであるか否かが判断されるセットキー5eである場合

は再びステップ115へ行く。このような、ステップ240からステップ320までの処理により、オペレータは選択キー5bを入力した後の下矢印キー5c或いは上矢印キー5dの入力によって液晶表示装置4で逐一直値を確認しながら新たな仮の自己割り当てアドレスを所望の値に設定することができる。つまり、オペレータが、所望の仮の自己割り当てアドレスを液晶表示装置4に表示させておき、セットキー5eを入力することによって、液晶表示装置4に表示されているアドレスが既にネットワーク上の他のNodeに割り当てられているか否かの確認の処理が前述と同様にして実行される。

一方、ステップ320で入力されたキーがセットキー5eではないと判断された場合、及びステップ270で選択フラグ11bがセットされていないと判断された場合にキー入力されているキーは、自己割り当てアドレスの設定には関与しないので、ステップ330へ進み、そのキー入力に応じた他の処理を行った後、再びステップ210へ

行き次のキー入力があるまで待機状態となる。

以上に述べたように本実施例では、新規参入Node35に割り当てようとしたアドレスが他のNodeに既に割り当てられていた場合、その旨が“ID CONFLICT”という表示によりオペレータに報知される。従ってオペレータは、スイッチパネル5のキー操作により新たなアドレスをその値を把握しながら新規参入Node35に設定し、他のNodeに既に割り当てられているアドレスとの重複の有無について再度確認することができる。この際の動作は、オペレータがCONTINUEキー5aを押下した場合は1だけ減算された新たなアドレスが自動的に再送信される。また、オペレータが選択キー5bを押下した場合は、更に下矢印キー5c或いは上矢印キー5dを押下して液晶表示装置4に表示されるアドレスを確認しながら所望のアドレスを設定しセットキー5eを押下することによりこの新たなアドレスの再送信される。

このように簡単な操作により、オペレータの意

志が反映された新たなアドレスについて、他のNodeに既に割り当てられているか否かの確認が繰り返され、そのアドレスがまだ他のNodeに割り当てられていなければ新規参入Node35の自己のアドレスとして登録されるので非常に操作性が良い。従って、自己のアドレスの値を利用した処理を行う際、その値はいつでもオペレータにより把握されているため、この処理を支障なくスムーズに進めることができ、非常に便利である。

ここまでは、すでにあるネットワーク上にNodeを追加する手順を示したが、以下にオペレータが新たにネットワークを作っていく場合、すなわち、複数のNodeをネットワークのケーブルに順に接続していく場合を説明する。

オペレータは、まずケーブルへ最初に接続するNodeの電源をONする。次にオペレータは、第5図のステップ240からステップ320までと同様な処理、すなわち、選択キー5bと押下した後で、下矢印キー5c或いは上矢印キー5dを押下して所望の自己割り当てアドレスを液晶表示

装置4を見ながら設定した後でセットキー5eを押下する。オペレータは次にこのNodeをケーブルに接続する。オペレータは、次にケーブルに接続するNodeについても、同様な操作で自己割り当てアドレスを設定する。この際、今回設定する自己割り当てアドレスは、以前に接続したNodeのアドレスとは異なるアドレスをオペレータの考えに従って設定すれば良い。このような自己割り当てアドレスの設定を繰り返すことによってオペレータの意志通りアドレスがネットワークに接続されるすべてのNodeに対して割り当てられることになる。

また、既に他のNodeがネットワークに接続されている場合、オペレータは、新たに接続するNodeに対してネットワークに既に接続されているNodeのアドレスとは異なるアドレスを液晶表示装置4を見ながら下矢印キー5cや上矢印キー5dの操作により設定した後で、そのNodeをネットワークへ接続すれば良い。この場合、ENQフレーム及びACKフレームの送受信はネ

ットワーク上に発生しない。従って、既にネットワークに接続されているNode間の通信を妨げるといった弊害は起こらない。

更に、このようにネットワークに接続する前に各Nodeに対してその自己割り当てアドレスを設定できることは、それらのNodeの出荷時に非常に役立つ。つまり、複数のNodeを同一出荷先へ出荷する場合には、出荷前にそれぞれのNode間で異なるアドレスを前述と同様な操作により、液晶表示装置4を見ながら不揮発性RAM3に予め設定しておけば、Nodeの購入者は、それぞれのNodeへ重複のないようにアドレスを設定するといった手間から解放され非常に便利である。

次に、Nodeからネットワークのケーブル9へフレームを出力しようとした時に、ケーブル9が既に他のNode間の通信で使用中であった場合における通信の衝突回避処理について説明する。

ケーブル9が他のNodeから送信されたフレームの転送により使用中であるか否かのチェック

は、第1図に示すSCC1が備えているDPLL(Digital Phase Locked Loop)機能を利用して行われる。これは、SCC1が、ケーブル9上を転送されて来る第3図に示すようなフレームのフラグB21或いはフラグE26を受信ポート8においてサーチし、このようなフラグB21或いはフラグE26のクロック信号に同期するという機能である。

SCC1は受信ポート8においてクロック信号の無い状態が検出されると、SCC1内のクロックミスビット(clock missing bit)6aをセットし、また、フラグB21或いはフラグE26に同期すると、SCC1内のハントビット(hunt bit)6bをセットする。SCC1は送信要求が発生する前から、受信ポート8においてフレームの受信をCPU2の動作とは独立して行っている。従って、CPU2は送信要求の発生時に、これらクロックミスビット6a及びハントビット6bの状態を検出することによって、ケーブル9が使用中であるか否かを判断す

ることができる。

つまり、CPU2がクロックミスビット6aがセットされていることを検出してから所定時間後にハントビット6bがセットされていることを検出した場合は、この所定時間内にフラグB21がケーブル9を通過していたことになる。従って、この所定時間が、最短のフレームがケーブル9を通過するのに要する時間より短ければ、ハントビット6bがセットされていることが検出された時点で、ケーブル9は他のNodeの通信に使用中であることになる。

本実施例では、CPU2はまず、不揮発性RAM3からそのNodeに割り当てられているアドレスを読み出す。そして、このアドレスの値に基づいて、ケーブル9が送信に使用されなくなってから自己のフレームを送信するまでの待機時間の一部である付加待機時間が設定される。この付加待機時間の設定は、本実施例の通信装置を構成しているタイマ12やCPU2の実行速度によって、定められる基本時間(以下、1ショット時間と称

す)に、そのNodeのアドレス値に基づく係数を乗じて行われる。本実施例における1ショット時間は、フレーム中のフラグB21の伝送に要する時間よりやや長めである50マイクロ秒としている。そして、この50マイクロ秒という時間は、CPU2が所定の命令コードを実行することにより作り出されている。

ここで、ネットワークに接続可能なNodeの最大数を16個とし、各Nodeに1から16までの整数値がアドレスとして割り付けられるようにする。このアドレス値1に対して2ショット時間(50マイクロ秒 \times 2=100マイクロ秒)を割り当てる。各Nodeの付加待機時間を設定するために1ショット時間に乗ずる係数をWAIT、そのNodeのアドレス値をIDで表わすと、 $WAIT = (ID - 1) \times 2$ となる。これによって算出された各係数WAITをそれぞれ1ショット時間に乗ずることによって、16個のNodeには、0から1500マイクロ秒まで100マイクロ秒ずつ異なる16種類の付加待機時間が割り当

む。ここで、CPU2により、タイマ12の値がステップ504と同様にして読み出され、タイマレジスタ11dに書き込まれている値に対応する時刻から現在までの経過時間が算出される。次にステップ507へ進み、ステップ506で算出された経過時間が40ミリ秒以上であるか否かが判断される。ここにおける40ミリ秒という時間は、最長のフレームが転送されるのに要する時間(約20ミリ秒)に、適当な時間を付加してマージンを見込んだ時間である。

ハントビット6bは、SCC1がフレームを構成しているフラグB21或いはフラグE26を受信してそのクロック信号に同期した時にセットされるビットである。従って、ステップ505でハントビット6bがセットされていないと判断されているということは、SCC1において現在受信されている信号が1つのフレームからフラグB21とフラグE26を除いた残りの部分の信号である場合か、或いはフレームとフレームとの間で何も受信されていない場合かのどちらかということ

てられる。しかも、各付加待機時間は、各Nodeのアドレスに基づいているので重複して割り当てられることもない。このような係数WAITの算出は、各Nodeにおいて送信動作を開始する前に行われる。そして算出された係数WAITはWAITメモリ11cへ書き込まれる。

次に、Nodeにおいて送信要求が発生してから、他のNode間の通信との衝突を回避して自己の送信を開始するまでの動作を、第8図のフローチャートを参照して説明する。

送信要求が発生すると、まずステップ501で、CPU2によりハントビット6bがセットされているか否かが判断される。ここで、ハントビット6bがセットされている場合はステップ502へ進み、ハントビット6bがクリアされる。

タイマ12の値がCPU2により読み出されてタイマレジスタ11dへ書き込まれる。次にステップ505へ進み、ハントビット6bがセットされているか否かが判断される。ハントビット6bがセットされていない場合はステップ506へ進み、ハントビット6bがクリアされる。

ステップ507で経過時間が40ミリ秒に達していないと判断された場合は、再びステップ505へ行き、ハントビット6bがセットされているか否かの判断が行われる。ここでハントビット6bがセットされていない場合は、ステップ506及びステップ507の処理が前述と同様に行われる。結局、ハントビット6bがセットされない限り経過時間が40ミリ秒に達するまでステップ505からステップ507までの処理が繰り返される。そしてこの反復処理の結果、ハントビット6bがセットされないままステップ507で経過時間が40ミリ秒以上であると判断された場合は、最長のフレームであっても完全に通過してしまうのに十分な時間がステップ502でハントビット6bがクリアされてから経過している。従って、SCC1が、1つのフレームのフラグB21及びフラグE26以外の残りの部分を受信しているのではなく、フレームとフレームとの間の何も受信していない状態にあるということになる。

尚、本実施例のネットワークでは、フレームとフレームとの間隔は、1つの送信（ダイアログ）内では最長でも200マイクロ秒（インターフレームギャップ）以内に留めている。また、独立した別々の通信と通信との間では最短でも400マイクロ秒（インターダイアログギャップ）以上分離するように条件が定められている。つまり、1つのフレームが通過してから少なくとも400マイクロ秒間（インターダイアログギャップ）は別のフレームが検出されない状態が経過しなければ、他の通信は開始できないことになっている。このような条件を考慮すると、ハントビット6bが40ミリ秒間にわたってセットされずにクリアされたままであるということは、現在ネットワークはSCC1の接続点において、1つの送信が通過してしまい、且つ次の送信が未着である完全な遊び状態にあるということになる。

このような状態にある時、すなわち、ステップ507で経過時間が40ミリ秒以上であると判断された場合はステップ508へ進む。ここで、予

め算出されてWAITメモリ11cに書き込まれていた係数WAITが、ループカウンタ11eへ書き込まれる。次にステップ509へ進み、ループカウンタ11eの値が零であるか否かが判断される。ここでループカウンタ11eの値が零である場合は、ステップ510へ進み、自己のフレームの送信を開始する。つまり、このNodeに設定された付加待機時間は、このNodeに割り付けられたアドレス(ID)に基づいて算出された係数WAITが零であるため、やはり零となっている。

一方、ステップ509でループカウンタ11eの値が零でないと判断された場合はステップ511へ進み、1ショット時間の間待機する。次にステップ512へ進み、ハントビット6bがセットされているか否かが判断される。ここでハントビット6bがセットされていない場合はステップ513へ進み、ループカウンタ11eから1が減算される。次にステップ509へ行き、ループカウンタ11eの値が零であるか否かが判断される。

ここでループカウンタ11eの値が零である場合はステップ510へ行き、送信が開始される。

一方、ステップ509でループカウンタ11eの値が零でないと判断された場合は、ステップ511からステップ513までの処理が行われる。これらの処理は、ステップ509でループカウンタ11eの値が零であると判断されるまで繰り返される。そしてループカウンタ11eの値が零となって初めてステップ510へ行き、送信が開始される。すなわち、各Nodeは、自己に割り付けられているアドレス(ID)に基づいて算出された係数WAITに応じて、それぞれ異なる付加待機時間の経過後、送信を開始することになる。

一方、ステップ512でハントビット6bがセットされていると判断された場合は、付加待機時間の間に他のNodeが送信したフレームのフラグにSCC1が同期したことになる。すなわち、ネットワーク上においてこのNodeの接続点に他のNodeから送信されたフレームが達し、ケーブル9が使用中になったことを示している。従

って、他のNodeから送信されたフレームがこの接続点を通過してしまい、ケーブル9が遊び状態となったことを確認してから所定時間の待機を行う必要がある。このため、ステップ502へ行き、以降の処理を行う。

一方、ステップ505でハントビット6bがセットされていると判断された場合は、SCC1がケーブル9上を転送されているフレームのフラグB21或いはフラグE26のどちらかに同期していることになる。SCC1がどちらのフラグに同期しているかを判断するため、まずステップ514へ進み、クロックミスビット6aがクリアされる。次にステップ515へ進み、CPU2は1ショット時間だけ待機する。つまり、CPU2はフラグがSCC1の受信ポート8を通過してしまうまで待機する。

次にステップ516へ進み、クロックミスビット6aがセットされているか否かがCPU2により判断される。ここでクロックミスビットがセットされていない場合は、受信ポート8においてフ

ラグの通過後もまだフレームの他の部分が存在していることになる。従って、ステップ505でハントビット6bがセットされていたのは、フレームの先頭部のフラグB21が受信されたためであることになる。よって、再びステップ502へ行き、そのフレームの完全な通過を確認するための処理を開始する。

一方、ステップ516でクロックミスビット6aがセットされていると判断された場合は、フラグの検出後においてフレームの他の部分は検出されていないことになる。従って、ステップ505でハントビット6bがセットされていたのは、フレームの末尾部のフラグE26が受信されたためであることになる。よって、現在このNodeは、フレームとフレームとの間の何も受信していない状態にある。言い換えれば、ケーブル9は他のNodeの通信には使用されておらず、遊び状態にあることになる。

この場合はステップ517へ進み、CPU2はまず基本待機時間だけ待機する。この基本待機時

間に、ケーブル9が他のNodeの通信により使用中となってしまうことを示す。この場合はステップ502へ行き、他の通信が終了してケーブル9が使用中ではなくなることを確認するための処理が開始される。

また、Nodeにおいて送信要求が発生した時、ステップ501でハントビット6bがセットされていないと判断された場合は、現在ケーブル9は他のNodeの通信には使用されていないことになる。この場合はステップ517へ行く。そして、CPU2は前述と同様な処理により、まず基本待機時間に対応する待機から処理を進めていく。

以上の実施例においては、各Nodeに割り付けられたアドレス(ID)毎に異なる係数WAITを演算により設定した。ここで、各Nodeのアドレスを、付加待機時間の値としてそのまま用いても支障がないような値により設定した場合、この演算は元の値をそのまま演算結果として採用するという内容の演算となる。

また、これらのアドレスを複数のグループに分

間は、1つの通信が終了してから次の通信を開始するまでに最低限必要な間隔、すなわち、インターダイアログギャップ(Inter Dialog Gap)である400マイクロ秒としている。次にステップ518へ進み、ハントビット6bがセットされているか否かが判断される。ここでハントビット6bがセットされていない場合は、ケーブル9が他のNodeの通信には使用されていないことになる。つまり、ステップ518では、インターダイアログギャップの間、ケーブル9が使用されない遊び状態が継続するか否かが判断される。

このステップ518でハントビット6bがセットされていないと判断された場合は、ステップ508へ進む。すなわち、このNodeは、ステップ508からステップ513までの処理による付加待機時間に対応する待機状態となる。

一方、ステップ518でハントビット6bがセットされていると判断されるということは、このNodeが基本待機時間に対応する待機状態にあ

り、各グループ間で異なる係数WAITを設定することも可能である。

例えば、各Nodeへ割り付け可能なアドレスを00HからFFHまでとする。そして、これら256個のアドレスを8個のグループに分けるとする。係数WAITは、例えば $WAIT = (ID \text{ AND } 07H) \times n$ と表わすことができる。ここで、 $n=5$ とすれば、0から1500マイクロ秒までの250マイクロ秒ずつ異なる8種類の付加待機時間を設定することができる。

ID=5EHの場合は、 $5EH=01011110$ であり $07H=00000111$ であるので、 $(ID \text{ AND } 07H) = 00000110 = 6$ となる。従って、 $WAIT = 6 \times 5 = 30$ となる。

ID=62Hの場合は、 $62H=01100010$ であるので、 $(ID \text{ AND } 07H) = 00000010 = 2$ となる。従って、 $WAIT = 2 \times 5 = 10$ となる。

また、以上の実施例においては、付加待機時間

の算出は自己のアドレス値を直接利用したが、乱数発生回路を付加し、自己のアドレス設定時にこの乱数発生回路により乱数を発生させ、得られた乱数に対して所定演算を実行して付加待機時間を設定することもできる。このようにして設定された付加待機時間は、乱数に基づいているので、この付加待機時間が各通信装置間で同一となる確率は非常に低い、従って、前述の実施例と同様に、自己の送信が他の通信装置間の通信と衝突してしまうことを回避でき、効率良い通信処理を実現できる。

以上に詳述したように、ケーブル9上で1つの送信の完了が検出されてから、少なくとも、基本待機時間と付加待機時間とが加算された時間の間、他の送信によりケーブル9が使用されない状態が継続した場合のみ、自己の送信が行われる。従って、すべてのNodeにおいて同一の付加待機時間が設定されるネットワークに比較して、自己の送信が他のNodeの通信と衝突して通信障害が起こる可能性が低く、信頼性が高い。

なNodeの自己のアドレスの設定時におけるENQフレーム及びACKフレームの送信時にも、行うことになる。

〔発明の効果〕

以上詳述したことから明らかなように、本発明の電子装置は、通信網における自己のアドレスの設定において、オペレータの認識を加えながら、しかも能率良く同一通信網の他の電子装置のアドレスと重複しないように行うことができる。従って、自己のアドレスの値を使用する処理を行う際、その値はいつでもオペレータにより把握されているのでこの処理を支障なくスムーズに行うことができ非常に便利である。

4. 図面の簡単な説明

第1図はクレーム対応図、第2図乃至第8図は本発明を具体化した一実施例を示すもので、第2図はデータ処理装置の通信制御部の構成を示すブロック図、第3図はHDL Cに準拠したフレームフォーマットを示す図、第4図はACKフレームの送出を示す図、第5図(a)及び(b)はアド

しかも、ネットワークの条件として定められている通信と通信の間に最低限必要な間隔を基本待機時間として、ケーブル9の空き状態が検出されてから、まず待機し、空き状態が継続していた場合は、他のNodeとは異なる付加待機時間の間、空き状態が継続するかどうかの判断を行うようにしている。従ってケーブル9の状態を確認する処理の回数を低く抑えることが可能であるため、通信以外のそのNode自体の処理を遅延させてしまうような影響も最小限に抑えられ、そのNode全体の処理時間を減少させることができ非常に好都合である。

また、付加待機時間は、1つの通信装置において、一度設定された値はそのまま変化させずに固定値として処理される。従って、ケーブル9が使用中であった時の待機処理毎に付加待機時間を算出し直す必要はなく、簡単な処理により通信の衝突を回避でき、非常に好都合である。

また、このような通信の衝突を回避する処理は、データを送信する場合だけでなく、前述したよう

レスの設定の処理を示すフローチャート、第6図(a)及び(b)はENQフレームの例を示す図、第6図(c)はACKフレームの例を示す図、第7図はアドレスの表示例を示す図、第8図は送信要求発生から送信開始までの処理を示すフローチャートである。

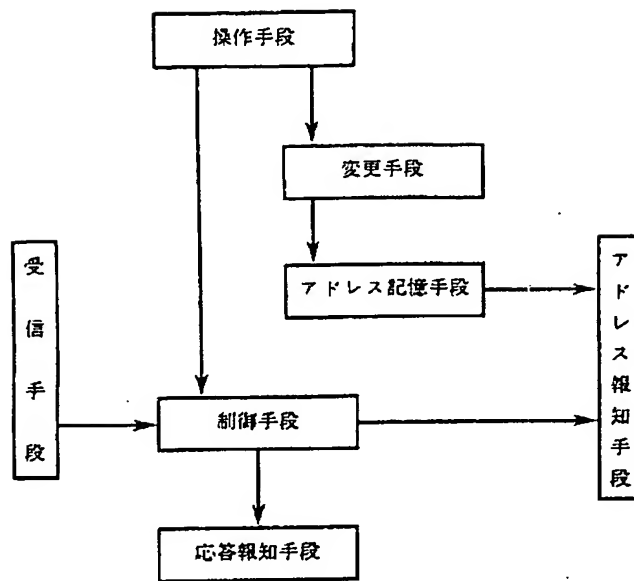
図中、1はシリアルコミュニケーションコントローラ、2はCPU、3は不揮発性RAM、4は液晶表示装置、5はスイッチパネル、6はコントロール部、7は送信ポート、8は受信ポート、11はRAMである。

特 許 出 願 人

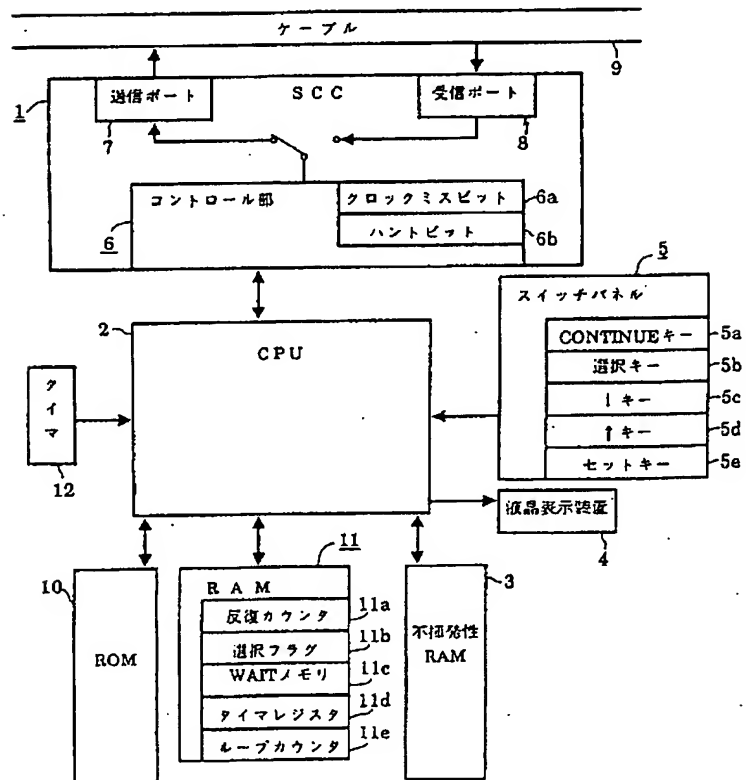
ブラザー工業株式会社

取締役社長 安井義博

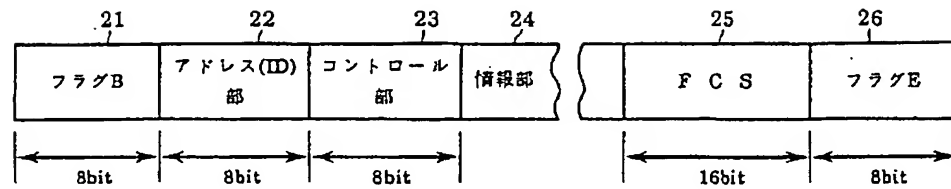
第1図



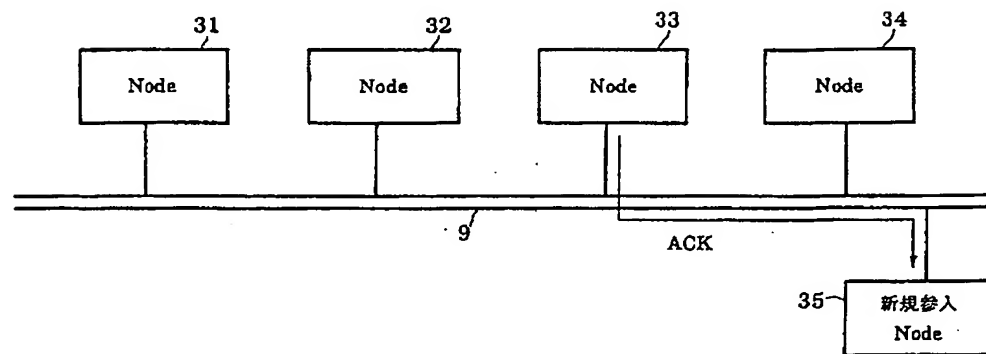
第2図



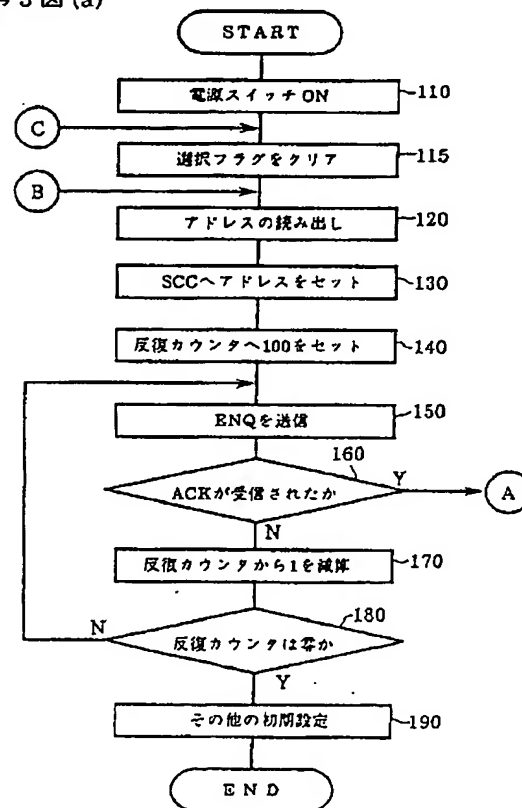
第3図



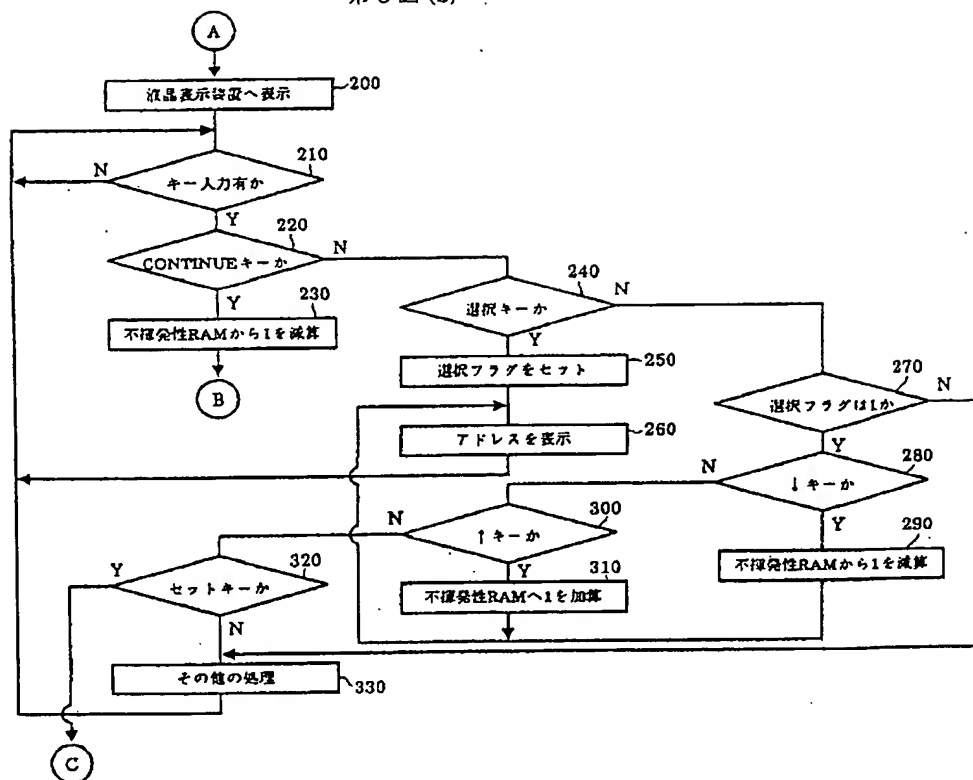
第4図



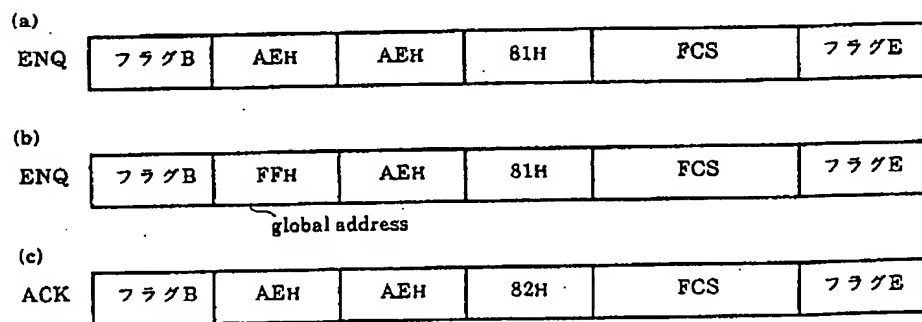
第5図(a)



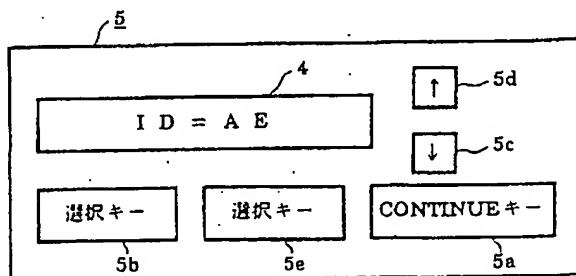
第5図(b)



第6図



第7図



第8図

